

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

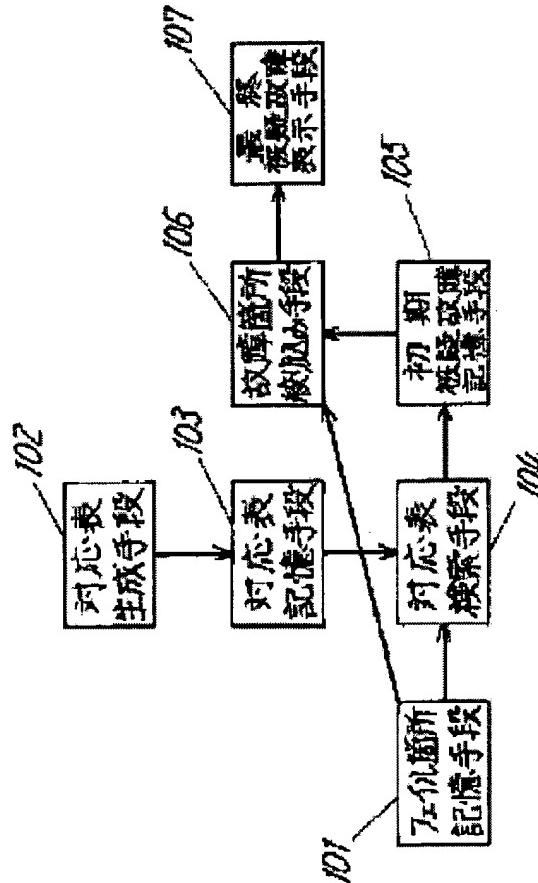
# FAILURE-DIAGNOSTIC DEVICE OF SEMICONDUCTOR INTEGRATED DEVICE

**Patent number:** JP2000155156  
**Publication date:** 2000-06-06  
**Inventor:** SHIMODA TAMASUKE; YOSHIDA TAKATERU;  
 MOTOHARA AKIRA  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
 - international: G01R31/28; G06F11/22; G06F17/50  
 - european:  
**Application number:** JP19980330681 19981120  
**Priority number(s):**

### Abstract of JP2000155156

**PROBLEM TO BE SOLVED:** To relatively quickly extract a suspected failed part by creating the correspondence table of failure detection time and detected failure parts, comparing the table with information from a tester, storing the suspected failure information, and narrowing the suspected failure.

**SOLUTION:** A semiconductor integrated circuit is inspected by a tester, and a failed part that does not match an expectation value is stored in a failed part storage means 101. Failure simulation is made with a test pattern used for inspection, and the correspondence table among the failed part, failure detection time, and external pins is created by a correspondence table generation means 102 and is stored in a correspondence table storage means 103. The details of the correspondence table are compared with each failed part of the failed part storage means 101 by a correspondence table retrieval means 104, and all corresponding failures are extracted as initial suspected failures and are stored in an initial suspected failure storage means 105. A failed part narrow down means 106 gives a test pattern that is used by an inspection to the initial suspected failure, narrows down the suspected failure by failure simulation, and displays the result on a final suspected failure display means 107.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-155156

(P2000-155156A)

(43)公開日 平成12年6月6日(2000.6.6)

(51)Int.Cl.<sup>7</sup>  
G 0 1 R 31/28  
G 0 6 F 11/22  
3 1 0  
3 3 0  
17/50

識別記号  
G 0 1 R 31/28  
G 0 6 F 11/22  
3 1 0  
3 3 0  
15/60

F I  
G 0 1 R 31/28  
G 0 6 F 11/22  
3 1 0 B  
3 3 0 B  
6 7 0 D

テマコード\*(参考)  
F 2 G 0 3 2  
3 1 0 B 5 B 0 4 6  
3 3 0 B 5 B 0 4 8

審査請求 未請求 請求項の数4 O.L (全10頁)

(21)出願番号 特願平10-330681

(22)出願日 平成10年11月20日(1998.11.20)

(71)出願人 000005821  
松下電器産業株式会社  
大阪府門真市大字門真1006番地  
(72)発明者 下田 玲祐  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 吉田 貴輝  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(74)代理人 100097445  
弁理士 岩橋 文雄 (外2名)

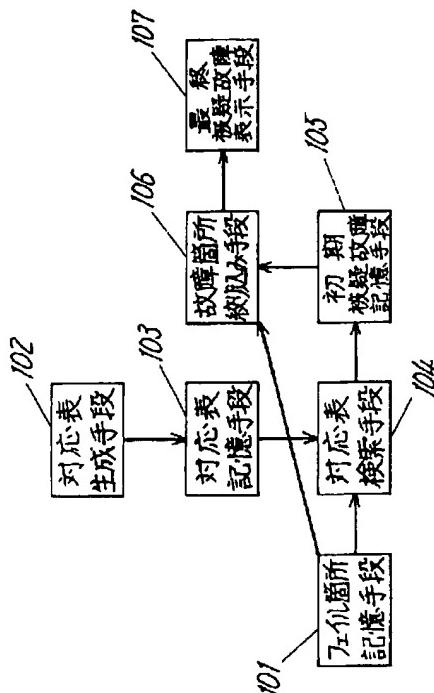
最終頁に続く

(54)【発明の名称】 半導体集積回路の故障診断装置

(57)【要約】

【課題】 ネットリスト上の被疑故障箇所抽出が比較的短時間で簡便に行える半導体集積回路の故障診断装置を提供する。

【解決手段】 テストパターン生成と同時に、故障検出時刻、外部ピンと検出故障箇所の対応表を生成しておき、テスターのデータログから取り出した情報と前記対応表の内容を照合し、フェイル箇所で検出された可能性のある故障を抽出する対応表検索装置、現在候補となっている被疑故障の情報を記憶しておく被疑故障記憶装置、絞り込みを終了するための最大被疑故障個数を指定するための終了条件入力装置、あるパターンが与えられた時に正常状態および仮定された1つまたはそれ以上の故障状態について計算機上で動作をシミュレートし回路の出力で検出される故障を求める故障シミュレーション装置を用いて、複数の被疑故障集合の論理演算を行う。



【特許請求の範囲】

【請求項1】 半導体集積回路の検査結果とシミュレーション期待値との不一致結果から前記半導体集積回路の故障箇所を推定する故障診断装置であって、前記半導体集積回路をテスターで検査した結果、前記半導体集積回路の出力信号が前記検査で使用したのと同一のテストパターンで故障の存在しないときの期待値と一致しなかったフェイル箇所を記憶するフェイル箇所記憶手段と、前記テストパターンを用いて前記半導体集積回路中の対象とする故障を検出できるか否かを調べる故障シミュレーションを実行して前記半導体集積回路中の故障箇所とそれぞれの故障が最初に検出される時刻及び外部ピンとの対応表を生成する対応表生成手段と、前記対応表を記憶しておく対応表記憶手段と、前記フェイル箇所と前記対応表の内容とを照合し、前記対応表中の該当する全ての故障を初期被疑故障として抽出する対応表検索手段と、前記初期被疑故障の情報を記憶する初期被疑故障記憶手段と、前記初期被疑故障を対象として、前記テストパターンを与え、前記フェイル箇所のみに期待値を設定して、故障シミュレーションを行って被疑故障を絞り込みし、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する故障箇所絞り込み手段と、前記故障箇所絞り込み手段における前記故障シミュレーションを終了する条件となる被疑故障の個数の範囲を指定する絞り込み終了条件入力手段と、前記故障箇所絞り込み手段による診断結果である最終被疑故障を表示する最終被疑故障表示手段とを備えていることを特徴とする半導体集積回路の故障診断装置。

【請求項2】 前記故障箇所絞り込み手段は、各フェイル箇所で検出される被疑故障の集合を逐次論理積演算で絞り込み、前記演算の過程において、前記演算結果を空集合にするフェイル箇所を除き、それ以外のフェイル箇所だけを対象に被疑故障集合を絞り込むことを特徴とする請求項1記載の半導体集積回路の故障診断装置。

【請求項3】 前記故障箇所絞り込み手段は、各フェイル箇所で検出される被疑故障の集合を逐次論理積演算で絞り込み、前記演算の過程において、前記演算結果を空集合にするフェイル箇所を別に記憶し、それ以外のフェイル箇所だけを対象に被疑故障集合を絞り込み、別に記憶しておいたフェイル箇所だけを対象に再度絞り込みを行うことを特徴とする請求項1記載の半導体集積回路の故障診断装置。

【請求項4】 半導体集積回路の検査結果とシミュレーション期待値との不一致結果から前記半導体集積回路の故障箇所を推定する故障診断装置であって、前記回路をテスターで検査した結果、前記半導体集積回路の出力信号が前記検査で使用したのと同一のテストパターンで故障の存在しないときの期待値と一致しなかったフェイル箇所を記憶しておくフェイル箇所記憶手段と、前記テストパターンを用いて前記半導体集積回路中の対象とする故障を検出できるか否かを調べる故障シミュレーションを実行して前記半導体集積回路中の故障箇所とそれぞれの故障が最初に検出される時刻、外部ピンとの対応表を

生成する対応表生成手段と、前記対応表を記憶する対応表記憶手段と、前記フェイル箇所と前記対応表の内容とを照合し、前記対応表中の該当する全ての故障を初期被疑故障として抽出する対応表検索手段と、前記初期被疑故障の情報を記憶する初期被疑故障記憶手段と、前記初期被疑故障を対象として、前記テストパターンを与え、前記フェイル箇所のみに期待値を設定して、故障シミュレーションを行って被疑故障を絞り込みし、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する故障箇所絞り込み手段と、前記故障箇所絞り込み手段における前記故障シミュレーションを終了する条件となる被疑故障の個数の範囲を指定する絞り込み終了条件入力手段と、前記故障箇所絞り込み手段による診断結果である最終被疑故障を表示する最終被疑故障表示手段とを備え、前記故障箇所絞り込み手段は、各フェイル箇所で検出される被疑故障の集合を逐次論理積演算で絞り込み、前記演算の過程において、前記演算結果を空集合にするフェイル箇所を別に記憶し、それ以外のフェイル箇所だけを対象に被疑故障集合を絞り込み、別に記憶しておいたフェイル箇所だけを対象に再度絞り込みを行うことを特徴とする半導体集積回路の故障診断装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体集積回路の検査結果から回路内部の被疑故障を抽出する故障診断装置に関するものである。

【0002】

【従来の技術】製造された半導体回路をテスターによる検査で良品と不良品とに判別し、不良品と判定されたチップについて、それがどのような原因によるものかを解析し、製造工程の改善に役立てる。このような解析は一般には不良解析と呼ばれる。

【0003】不良解析は、テスターで不良品と判別されたものについて、回路のネットリスト上で不良となっている回路内部の被疑故障箇所を抽出するという故障診断を行い、ネットリスト上の被疑故障箇所とレイアウトパターンを対比して回路内部での物理的な被疑故障位置を特定し、電子ビームテスターで内部ノードの信号波形を直接的に観測し、あらかじめシミュレーションで求めておいた内部ノードの信号波形と比較して物理的な故障位置を特定し、最後に、走査形電子顕微鏡で観測した画像をもとに物理的な欠陥の状態を確認して、製造上の故障原因を推定する、という各段階を順に経る。

【0004】従来は、ある故障モデルを仮定して故障シミュレーションを行い、完全な故障辞書を作成して、故障箇所を診断する装置であった。

【0005】図7は従来の半導体集積回路の故障診断装置における構成概要図である。図7に示すように、従来の半導体集積回路の故障診断装置は、フェイル箇所記憶手段701、故障辞書生成手段702、故障辞書記憶手

段703、故障辞書検索手段704及び被疑故障表示手段705より構成される。

【0006】以下、上記構成の各機能について説明する。まず、対象となる半導体集積回路（以下、単に「回路」と記す）をテスターで検査した結果、回路の出力信号が故障の存在しないときの期待値と一致しなかったテスターでのフェイル箇所をフェイル箇所記憶手段701により記憶する。

【0007】一方で、検査で使用したテストパターンを用いて前記回路中に仮定したそれぞれの故障を検出できるか否かを調べる故障シミュレーションを実行し、仮定したそれぞれの故障が存在するならばフェイル結果がどのような組合せになるかを示す故障辞書を故障辞書生成手段702により作成し、作成した故障辞書を故障辞書記憶手段703で記憶する。

【0008】フェイル箇所記憶手段701で記憶したフェイル箇所の組合せが、故障辞書記憶手段703で記憶した故障辞書のどこに記述されているかを故障辞書検索手段704により検索し、一致するフェイル箇所の組合せに対応する故障が被疑故障表示手段705により表示される。

【0009】以上のように構成された半導体集積回路の故障診断装置の詳細な動作について説明する。ここでは、図6に示す半導体集積回路中の單一縮退故障の存否を調べるために（表1）に示すテストパターンを使用するものとする。

【0010】

【表1】

時刻	テストパターン							
	入力	期待値	10	11	12	13	20	21
1	1	1	0	0	1	1		
2	0	0	0	1	0	0		
3	0	1	0	1	1	0		
4	1	0	1	1	0	1		
5	1	0	0	0	1	0		
6	0	1	1	0	1	0		

【0011】図6において、10～13は外部入力信号線、20, 21は外部出力信号線、a～iは單一縮退故障を仮定する信号線である。

【0012】まず、対象となる半導体集積回路に対応した論理回路モデルに対して、論理回路内の全ての信号線に対して故障を定義し、対象となる回路中の故障の存否を調べるためのテストパターンおよび故障の存在しないときの期待値をパターン生成手段1により生成するとともに、シミュレーション対象故障一覧に出力する。このシミュレーション対象故障一覧は、その後の故障シミュレーションの間、内容は変更されない。そして、検査に使用したテストパターンを用いて故障シミュレーション手段により故障シミュレーションを時間順に実行する。

【0013】各サイクルにおいて、論理回路中に、毎回

シミュレーション対象故障一覧に含まれる全ての故障を設定し、テストパターンを入力し、正常値および故障の影響を伝搬させる。論理回路の端子に設定しておいた観測点で回路からの出力を観測する時刻に到達した場合に、その観測点で、故障シミュレーションによって得られたその時刻における正常状態との比較により、検出される可能性のある故障一覧を割り出し、検出故障情報を出力する。

【0014】図6の回路に対して（表1）のテストパターンを用いて故障シミュレーションを行った結果、各時刻でのそれぞれの外部出力端子での検出故障は、（表2）のようになる。

【0015】

【表2】

時刻	出力20での検出故障	出力21での検出故障
1	a/0	b/0, c/1, d/1, f/0, g/0, i/0
2	a/1, b/1, e/1, h/1	i/1
3	b/0, e/0, h/0	d/0, g/1, i/1
4	a/0, h/0	i/1
5	a/0, h/0	b/1, f/1, i/1
6	b/0, e/0, h/0	c/0, g/1, i/1

【0016】（表2）の「出力20での検出故障」、「出力21での検出故障」の各欄における記述で“/”の左側は信号線、右側の数字はその信号線の故障を示し、“1”ならば1縮退故障を、“0”ならば0縮退故障を示す。検出故障情報を元に故障辞書生成手段702により、それぞれの仮定される内部故障箇所に対して、検出される可能性のある時刻、外部出力端子の観測点名の関係を示す故障辞書を作成し、故障辞書記憶手段703により記憶する。

【0017】（表2）から故障辞書を作成すると、（表3）のようになる。

【0018】

【表3】

故障	検出ピン(時刻)
a/0	20(4), 20(5)
a/1	20(2)
b/0	21(1), 20(3), 20(6)
b/1	20(2), 21(5)
c/0	21(6)
c/1	21(1)
d/0	21(3)
d/1	21(1)
e/0	20(3), 20(6)
e/1	20(2)
f/0	21(1)
f/1	21(5)
g/0	21(1)
g/1	21(3), 21(6)
h/0	20(1), 20(3), 20(4), 20(5), 20(6)
h/1	20(2)
i/0	21(1)
i/1	21(2), 21(3), 21(4), 21(5), 21(6)

【0019】例えば、信号線aのO縮退故障が存在する場合は、(表1)のテストパターンでテストしたとき、時刻4で出力ピン20がフェイルし、時刻5で出力ピン20がフェイルするということに対応する。

【0020】半導体集積回路に対してテスターから入力パターンを印加して検査を行い、各出力端子に到達する信号を観測して、テスター検査結果をシミュレーションによりあらかじめ作成した期待値と比較し、実際の信号値と期待値との間で不一致が発生した時刻、外部出力端子名の情報をフェイル箇所記憶手段701により、この故障診断装置に取り込む。取り込んだフェイル情報から、故障辞書検索手段704を用いて、故障辞書を検索することにより、実際に存在する可能性のある故障箇所を判定し、被疑故障表示手段705により、被疑故障一覧として出力する。

#### 【0021】

【発明が解決しようとする課題】しかしながら、前記從来の故障診断装置では、被疑故障箇所を正確に最小限に絞り込むためには、パターン全体を通しての各観測点に伝搬する可能性のある全ての故障箇所と検出時刻の情報を故障辞書に登録しなければならない。そのため、常に回路中の全信号線に故障を仮定した故障シミュレーションの実行時間、故障辞書の作成と検索に要する時間、および、故障辞書の記憶領域は、回路が大規模になるにつれ膨大な量となり、大規模回路の故障診断を行うにあたり障害となっていた。

【0022】また、ある故障モデルについて完全な故障辞書を作成できたとしても、仮定した故障モデルの動作に一致しない故障が存在すれば、故障辞書を検索した結果、該当する故障が全く見つからない場合があった。

【0023】そこで、本発明は、このような課題を解決し、ネットリスト上の被疑故障箇所抽出が比較的短時間で簡便に行える半導体集積回路の故障診断装置を提供することを目的とする。

#### 【0024】

【課題を解決するための手段】本発明は上記目的を達成するため、論理回路の検査後に、その検査結果と故障シミュレーションの故障伝搬結果から、回路内部で可能性のある故障箇所を抽出する論理回路の故障診断装置であって、テストパターン生成と同時に、故障検出時刻、外部ピンと検出故障箇所の対応表を生成しておき、テスターのデータログから取り出した情報と前記対応表の内容を照合し、フェイル箇所で検出された可能性のある故障を抽出する対応表検索装置、現在候補となっている被疑故障の情報を記憶しておく被疑故障記憶装置、絞り込みを終了するための最大被疑故障個数を指定するための終了条件入力装置、及び、あるパターンが与えられた時に正常状態および仮定された1つまたはそれ以上の故障状態について計算機上で動作をシミュレートし回路の出力で検出される故障を求める故障シミュレーション装置を

用いて、複数の被疑故障集合の論理演算を行う。この結果、ネットリスト上の被疑故障箇所を抽出する時間の大軒な短縮を達成することができる。

#### 【0025】

【発明の実施の形態】(第1の実施の形態)以下、本発明の第1の実施の形態を、図1～図6を用いて説明する。

【0026】図1は、本発明の実施の形態1における半導体集積回路の故障診断装置の構成を示すブロック図である。図1に示すように、フェイル箇所記憶手段101、対応表生成手段102、対応表記憶手段103、対応表検索手段104、初期被疑故障記憶手段105、故障箇所絞り込み手段106、最終被疑故障表示手段107から構成される。

【0027】まず、対象となる半導体集積回路をテスターで検査した結果、回路の出力信号が故障の存在しないときの期待値と一致しなかったテスターでのフェイル箇所をフェイル箇所記憶手段101により記憶する。

【0028】一方で、検査で使用したテストパターンを用いて前記回路中の対象とする故障を検出できるか否かを調べる故障シミュレーションを実行し、前記回路中の故障箇所とそれぞの故障が最初に検出される時刻、外部ピンとの対応表を対応表生成手段102により生成し、作成した対応表を対応表記憶手段103で記憶する。フェイル箇所記憶手段101で記憶した個々のフェイル箇所と、対応表記憶手段103で記憶した対応表の内容を対応表検索手段104により照合し、前記対応表中の該当する全ての故障を初期被疑故障として抽出し、初期被疑故障記憶手段105で初期被疑故障の情報を記憶しておく。

【0029】故障箇所絞り込み手段106では、この初期被疑故障を対象として、検査で使用したテストパターンを与え、テスターでのフェイル箇所のみに期待値を設定して、故障シミュレーションを行って被疑故障の絞り込みを行い、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する。

【0030】故障箇所絞り込み手段による診断結果である最終被疑故障を最終被疑故障表示手段107で表示する。

【0031】以上のように構成された実施の形態1における半導体集積回路の故障診断装置の動作について説明する。ここでは、図6に示す半導体集積回路中の单一縮退故障の存否を調べるために(表1)に示すテストパターンを使用するものとする。図3は、本発明の実施の形態1における故障箇所絞り込み手段における処理手順を示すフローチャートである。

【0032】ステップ301は対応表検索手段により抽出された初期被疑故障を被疑故障集合の要素とし、フェイル箇所記憶手段で記憶されたフェイル箇所を対象フェイル箇所とする処理である。

【0033】ステップ302は現在の被疑故障集合に含まれる故障を設定して故障シミュレーションを続行し、未処理のフェイル箇所のうち、最も時刻の早いフェイル箇所でシミュレーションを中断し、検出故障集合を求める処理である。

【0034】ステップ303は、検出故障集合が空集合であるか否かを判定する処理である。ステップ304は、検出故障集合を新たな被疑故障集合とする処理である。ステップ305は、被疑故障集合の要素は変更しない処理である。ステップ306は、全ての対象フェイル箇所を処理し終えたか否かを判定する処理である。

【0035】次に、故障診断の具体例について説明する。図6の回路に対して(表1)のテストパターンを用いて、故障を回路の外部出力端子で最初に検出した時点以降の故障シミュレーションの対象故障から削除するという方法で故障シミュレーションを行った結果、各時刻でのそれぞれの外部出力端子での検出故障は、(表4)のようになる。

【0036】

【表4】

時刻	出力20での検出故障	出力21での検出故障
1	b/0	b/0, c/1, d/1, f/0, g/0, i/0
2	a/1, b/1, e/1, h/1	f/1
3	e/0	d/0, g/1
4	a/0	
5		f/1
6		c/0

【0037】(表4)から回路中の故障箇所とそれぞれの故障が最初に検出される時刻、外部ピンとの対応表を作成すると、(表5)のようになり、(表3)の故障辞書よりも必要な記憶容量が少なくてすむ。

【0038】

【表5】

故障	検出ピン(時刻)
a/0	20(4)
a/1	20(2)
b/0	21(1)
b/1	20(2)
c/0	21(6)
c/1	21(1)
d/0	21(3)
d/1	21(1)
e/0	20(3)
e/1	20(2)
f/0	21(1)
f/1	21(5)
g/0	21(1)
g/1	21(3)
h/0	20(1)
h/1	20(2)
i/0	21(1)
i/1	21(2)

【0039】次に、図6の回路に対して(表1)の入力

パターンを使用して検査したときのテスターのフェイル箇所が、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21であったとする。このフェイル情報から、対応表検索手段により初期被疑故障を抽出すると、a/0, c/0, d/0, g/1となる。

【0040】次に、これらの初期被疑故障を故障箇所絞り込み手段により絞り込んでいく。図6の回路に対して、(表1)のパターンを用いて、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21の4箇所だけに期待値を設定して、初期被疑故障を対象に、故障シミュレーションを行う。

【0041】時刻3における出力21で検出故障集合を求めると、d/0, g/1となる。これらを新たな被疑故障集合とし、時刻4までシミュレーションを続行する。時刻4における出力20で検出故障集合を求めるとき、空集合となる。よって、被疑故障集合の要素は変更せず、被疑故障集合はd/0, g/1のままとし、時刻5までシミュレーションを続行する。時刻6における出力21で検出故障集合を求めるとき、g/1となる。全ての対象フェイル箇所を処理し終えたため、故障箇所絞り込み手段による診断結果である最終被疑故障はg/1となり、これを被疑故障表示手段によって表示する。

【0042】(第2の実施の形態)以下、本発明の第2の実施の形態について説明する。

【0043】第2の実施の形態に係る半導体集積回路の故障診断装置は、故障箇所絞り込み手段を除き、第1の実施の形態における半導体集積回路の故障診断装置と同様の構成であり、第2の実施の形態における故障箇所絞り込み手段は、各フェイル箇所で検出される被疑故障の集合を逐次論理積演算で絞り込む過程において、演算結果を空集合にするフェイル箇所を別に記憶し、それ以外のフェイル箇所だけを対象に被疑故障集合を絞り込み、別に記憶しておいたフェイル箇所だけを対象に再度絞り込みを行うものである。

【0044】続いて、第2の実施の形態における半導体集積回路の故障診断装置の動作について説明する。ここでは、図6に示す半導体集積回路中の単一縮退故障の存否を調べるために(表1)に示すテストパターンを使用するものとする。

【0045】図4は、本発明の第2の実施の形態における故障箇所絞り込み手段における処理手順を示すフローチャートである。

【0046】ステップ401は対応表検索手段により抽出された初期被疑故障を被疑故障集合の要素とし、フェ

イル箇所記憶手段で記憶されたフェイル箇所を対象フェイル箇所とする処理である。ステップ402は現在の被疑故障集合に含まれる故障を設定して故障シミュレーションを続行し、未処理のフェイル箇所のうち、最も時刻の早いフェイル箇所でシミュレーションを中断し、検出故障集合を求める処理である。ステップ403は、検出故障集合が空集合であるか否かを判定する処理である。ステップ404は、検出故障集合を新たな被疑故障集合とする処理である。ステップ405は、被疑故障集合の要素は変更せず、空集合にしたフェイル箇所を別のフェイル箇所集合として記録する処理である。ステップ406は、全ての対象フェイル箇所を処理し終えたか否かを判定する処理である。ステップ407は、別に記憶したフェイル箇所が存在するか否かを判定する処理である。ステップ408は、初期被疑故障から検出故障を除いたものを新たな被疑故障集合の要素とし、別に記憶したフェイル箇所を新たな対象フェイル箇所とする処理である。

【0047】次に、故障診断の具体例について説明する。図6の回路に対して(表1)のテストパターンを用いて、故障を回路の外部出力端子で最初に検出した時点で以降の故障シミュレーションの対象故障から削除するという方法で故障シミュレーションを行った結果、各時刻でのそれぞれの外部出力端子での検出故障は、(表4)のようになる。(表4)から回路中の故障箇所とそれぞれの故障が最初に検出される時刻、外部ピンとの対応表を作成すると、(表5)のようになり、(表3)の故障辞書よりも必要な記憶容量が少なくてすむ。

【0048】次に、図6の回路に対して(表1)の入力パターンを使用して検査したときのテスターのフェイル箇所が、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21であったとする。このフェイル情報から、対応表検索手段により初期被疑故障を抽出すると、a/0, c/0, d/0, g/1となる。

【0049】次に、これらの初期被疑故障を故障箇所絞り込み手段により絞り込んでいく。図6の回路に対して、(表1)のパターンを用いて、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21の4箇所だけに期待値を設定して、初期被疑故障を対象に、故障シミュレーションを行う。

【0050】時刻3における出力21で検出故障集合を求めると、d/0, g/1となる。これらを新たな被疑故障集合とし、時刻4までシミュレーションを続行する。時刻4における出力20で検出故障集合を求めると、空集合となる。よって、被疑故障集合の要素は変更せず、空集合にした時刻4における出力20というフェイル箇所を別に記録する。被疑故障集合はd/0, g/1のままとし、時刻5までシミュレーションを続行す

る。時刻5における出力20で検出故障集合を求める、と、空集合となる。よって、被疑故障集合の要素は変更せず、空集合にした時刻5における出力20というフェイル箇所を別に記録する。被疑故障集合はd/0, g/1のままとし、時刻6までシミュレーションを続行する。時刻6における出力21で検出故障集合を求める、と、g/1となる。

【0051】全ての対象フェイル箇所を処理し終えたため、初期被疑故障から検出故障を除いたa/0, c/0, d/0を新たな被疑故障集合の要素とし、別に記憶した時刻4における出力20、時刻5における出力20という2つのフェイル箇所を新たなフェイル箇所として、故障シミュレーションを行う。

【0052】時刻4における出力20で検出故障集合を求めると、a/0となる。これらを新たな被疑故障集合とし、時刻5までシミュレーションを続行する。時刻5における出力20で検出故障集合を求めると、a/0となる。全ての対象フェイル箇所を処理し終え、別に記憶したフェイル箇所は存在しないため、故障箇所絞り込み手段による診断結果である最終被疑故障はa/0, g/1となり、これを被疑故障表示手段によって表示する。

【0053】(第3の実施の形態)以下、本発明の第3の実施の形態について説明する。

【0054】図2は、本発明の第3の実施の形態における半導体集積回路の故障診断装置の構成を示すブロック図である。図2に示すように、半導体集積回路の故障診断装置は、フェイル箇所記憶手段201、対応表生成手段202、対応表記憶手段203、対応表検索手段204、初期被疑故障記憶手段205、故障箇所絞り込み手段206、絞り込み終了条件入力手段207、最終被疑故障表示手段208から構成される。

【0055】まず、対象となる半導体集積回路をテスターで検査した結果、回路の出力信号が故障の存在しないときの期待値と一致しなかったテスターでのフェイル箇所をフェイル箇所記憶手段201により記憶する。

【0056】一方で、検査で使用したテストパターンを用いて前記回路中の対象とする故障を検出できるか否かを調べる故障シミュレーションを実行し、前記回路中の故障箇所とそれぞれの故障が最初に検出される時刻、外部ピンとの対応表を対応表生成手段202により生成し、作成した対応表を対応表記憶手段203で記憶する。フェイル箇所記憶手段201で記憶した個々のフェイル箇所と、対応表記憶手段203で記憶した対応表の内容を対応表検索手段204により照合し、前記対応表中の該当する全ての故障を初期被疑故障として抽出し、初期被疑故障記憶手段205で初期被疑故障の情報を記憶しておく。

【0057】故障箇所絞り込み手段206では、この初期被疑故障を対象として、検査で使用したテストパターンを与え、テスターでのフェイル箇所のみに期待値を設

定して、故障シミュレーションを行って被疑故障の絞り込みを行い、多くのフェイル箇所に影響を与えた故障を最終被疑故障として出力する。

【0058】故障箇所絞り込み手段206における前記故障シミュレーションを終了するための条件を絞り込み終了条件入力手段207で指定する。故障箇所絞り込み手段206による診断結果である最終被疑故障を最終被疑故障表示手段208で表示する。

【0059】第3の実施の形態における故障箇所絞り込み手段は、各フェイル箇所で検出される被疑故障の集合を逐次論理積演算で絞り込む過程において、演算結果を空集合にするフェイル箇所を別に記憶し、それ以外のフェイル箇所だけを対象に被疑故障集合を絞り込み、別に記憶しておいたフェイル箇所だけを対象に再度絞り込みを行うものである。絞り込みの過程で、被疑故障集合の要素の個数が終了条件入力装置から指定された個数を超えた場合に絞り込みを終了する。

【0060】第3の実施の形態における半導体集積回路の故障診断装置の動作について説明する。ここでは、図6に示す半導体集積回路中の单一縮退故障の存否を調べるために(表1)に示すテストパターンを使用するものとする。

【0061】図5は、本発明の第3の実施の形態における故障箇所絞り込み手段における処理手順を示すフローチャートである。

【0062】ステップ501は対応表検索手段により抽出された初期被疑故障を被疑故障集合の要素とし、フェイル箇所記憶手段で記憶されたフェイル箇所を対象フェイル箇所とする処理である。ステップ502は現在の被疑故障集合に含まれる故障を設定して故障シミュレーションを続行し、未処理のフェイル箇所のうち、最も時刻の早いフェイル箇所でシミュレーションを中断し、検出故障集合を求める処理である。ステップ503は、検出故障集合が空集合であるか否かを判定する処理である。ステップ504は、検出故障集合を新たな被疑故障集合とする処理である。ステップ505は、被疑故障集合の要素は変更せず、空集合にしたフェイル箇所を別のフェイル箇所集合として記録する処理である。ステップ506は、全ての対象フェイル箇所を処理し終えたか否かを判定する処理である。ステップ507は、指定した絞り込み終了条件に達したか否かを判定する処理である。ステップ508は、別に記憶したフェイル箇所が存在するか否かを判定する処理である。ステップ509は、初期被疑故障から検出故障を除いたものを新たな被疑故障集合の要素とし、別に記憶したフェイル箇所を新たな対象フェイル箇所とする処理である。

【0063】次に、故障診断の具体例について説明する。図6の回路に対して(表1)のテストパターンを用いて、故障を回路の外部出力端子で最初に検出した時点以降の故障シミュレーションの対象故障から削除する

という方法で故障シミュレーションを行った結果、各時刻でのそれぞれの外部出力端子での検出故障は、(表4)のようになる。(表4)から回路中の故障箇所とそれぞれの故障が最初に検出される時刻、外部ピンとの対応表を作成すると、(表5)のようになり、(表3)の故障辞書よりも必要な記憶容量が少なくてすむ。

【0064】次に、図6の回路に対して(表1)の入力パターンを使用して検査したときのテスターのフェイル箇所が、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21であったとする。このフェイル情報から、対応表検索手段により初期被疑故障を抽出すると、a/0, c/0, d/0, g/1となる。

【0065】次に、これらの初期被疑故障を故障箇所絞り込み手段により絞り込んでいく。図6の回路に対して、(表1)のパターンを用いて、時刻3における出力21、時刻4における出力20、時刻5における出力20、時刻6における出力21の4箇所だけに期待値を設定して、初期被疑故障を対象に、故障シミュレーションを行う。

【0066】時刻3における出力21で検出故障集合を求めるとき、d/0, g/1となる。これらを新たな被疑故障集合とし、時刻4までシミュレーションを続行する。時刻4における出力20で検出故障集合を求めるとき、空集合となる。よって、被疑故障集合の要素は変更せず、空集合にした時刻4における出力20というフェイル箇所を別に記録する。被疑故障集合はd/0, g/1のままとし、時刻5までシミュレーションを続行する。時刻5における出力20で検出故障集合を求めるとき、空集合となる。よって、被疑故障集合の要素は変更せず、空集合にした時刻5における出力20というフェイル箇所を別に記録する。被疑故障集合はd/0, g/1のままとし、時刻6までシミュレーションを続行する。時刻6における出力21で検出故障集合を求めるとき、g/1となる。

【0067】全ての対象フェイル箇所を処理し終えたため、次に指定した絞り込み終了条件に達したか否かを判定する。仮に、絞り込み終了条件が、被疑故障が1個以上見つかった場合と指定していたとするならば、この時点で故障箇所絞り込み手段の処理を終了し、故障箇所絞り込み手段による診断結果である最終被疑故障はg/1となり、これを被疑故障表示手段によって表示する。

【0068】また、仮に、絞り込み終了条件が、被疑故障が3個以上見つかった場合と指定していたとするならば、初期被疑故障から検出故障を除いたa/0, c/0, d/0を新たな被疑故障集合の要素とし、別に記憶した時刻4における出力20、時刻5における出力20という2つのフェイル箇所を新たなフェイル箇所として、故障シミュレーションを行う。

【0069】時刻4における出力20で検出故障集合を

求めると、 $a/0$ となる。これらを新たな被疑故障集合とし、時刻5までシミュレーションを続行する。時刻5における出力20で検出故障集合を求めるとき、 $a/0$ となる。全ての対象フェイル箇所を処理し終え、別に記憶したフェイル箇所は存在しないため、故障箇所絞り込み手段による診断結果である最終被疑故障は $a/0, g/1$ となり、これを被疑故障表示手段によって表示する。

#### 【0070】

【発明の効果】以上説明したように本発明によれば、故障診断を行う際に、完全な故障辞書を作成するのではなく、対応表を使用すること、1回目の絞り込みで被疑故障が大幅に減ることにより、処理時間の短縮と記憶容量の削減が行える。

【0071】また、たとえば、多重故障やショート故障など、単一縮退故障モデルとは完全に一致しない他の故障にも有効である。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体集積回路の故障診断装置の構成を示すブロック図

【図2】本発明の実施の形態3における半導体集積回路の故障診断装置の構成を示すブロック図

【図3】本発明の実施の形態1における故障箇所絞り込み手段における処理手順を示すフローチャート

【図4】本発明の実施の形態2における故障箇所絞り込み手段における処理手順を示すフローチャート

【図5】本発明の実施の形態3における故障箇所絞り込み手段における処理手順を示すフローチャート

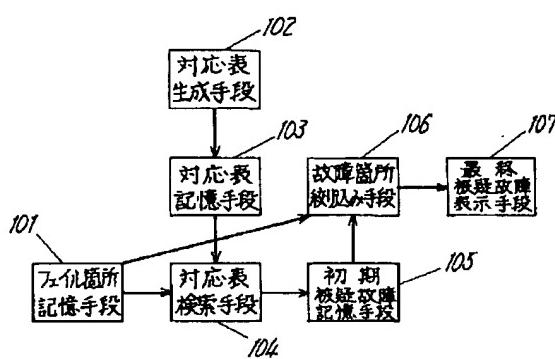
【図6】テストパターンの生成の対象となる半導体集積回路を示す論理回路図

【図7】従来の半導体集積回路の故障診断装置の構成を示すブロック図

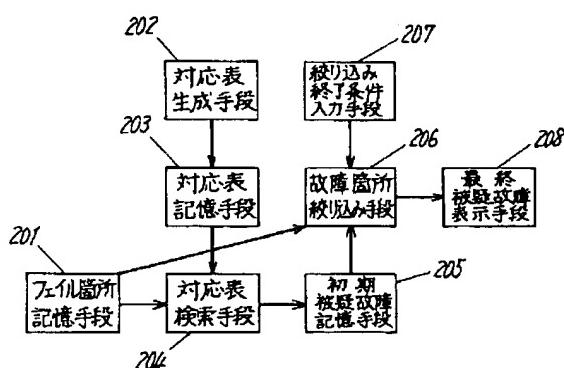
#### 【符号の説明】

- 101 フェイル箇所記憶手段
- 102 対応表生成手段
- 103 対応表記憶手段
- 104 対応表検索手段
- 105 初期被疑故障記憶手段
- 106 故障箇所絞り込み手段
- 107 最終被疑故障表示手段
- 201 フェイル箇所記憶手段
- 202 対応表生成手段
- 203 対応表記憶手段
- 204 対応表検索手段
- 205 初期被疑故障記憶手段
- 206 故障箇所絞り込み手段
- 207 絞り込み終了条件入力手段
- 208 最終被疑故障表示手段
- 301~306, 401~408, 501~509 ステップ
- 10~13 外部入力信号線
- a~i 信号線
- 20, 21 外部出力信号線
- 701 フェイル箇所記憶手段
- 702 故障辞書生成手段
- 703 故障辞書記憶手段
- 704 故障辞書検索手段
- 705 被疑故障表示手段

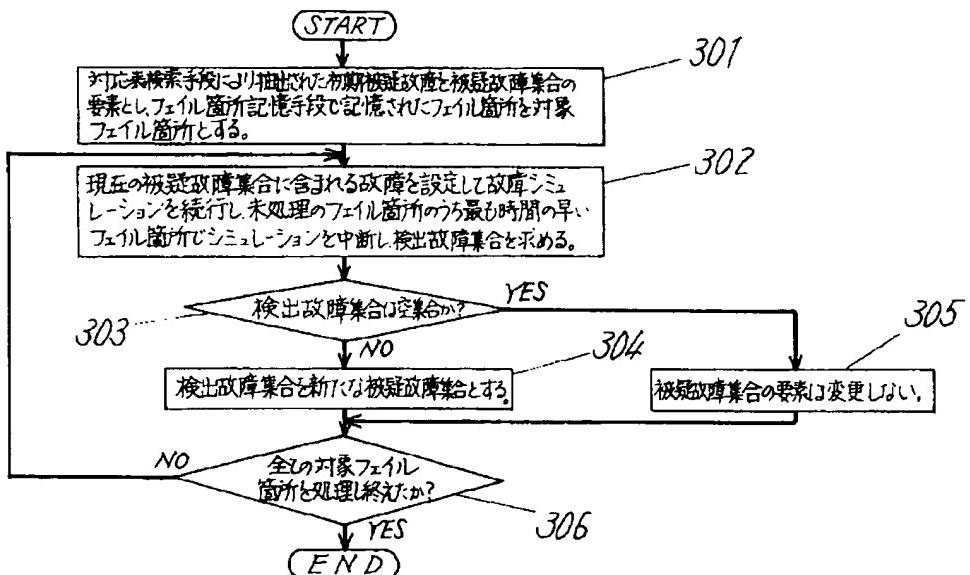
【図1】



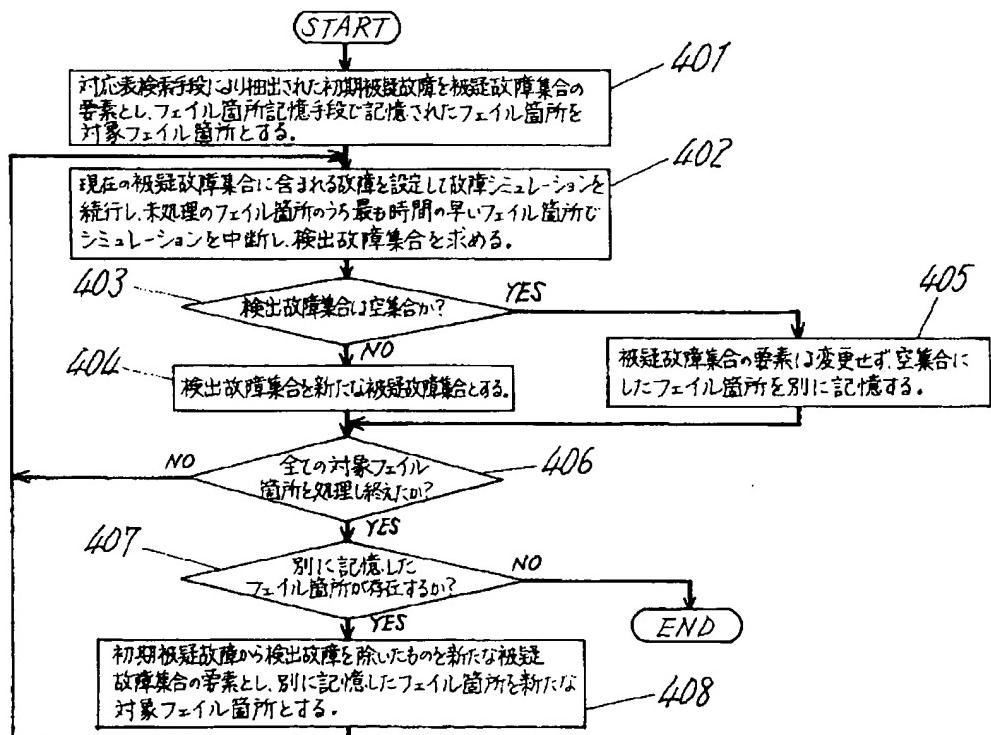
【図2】



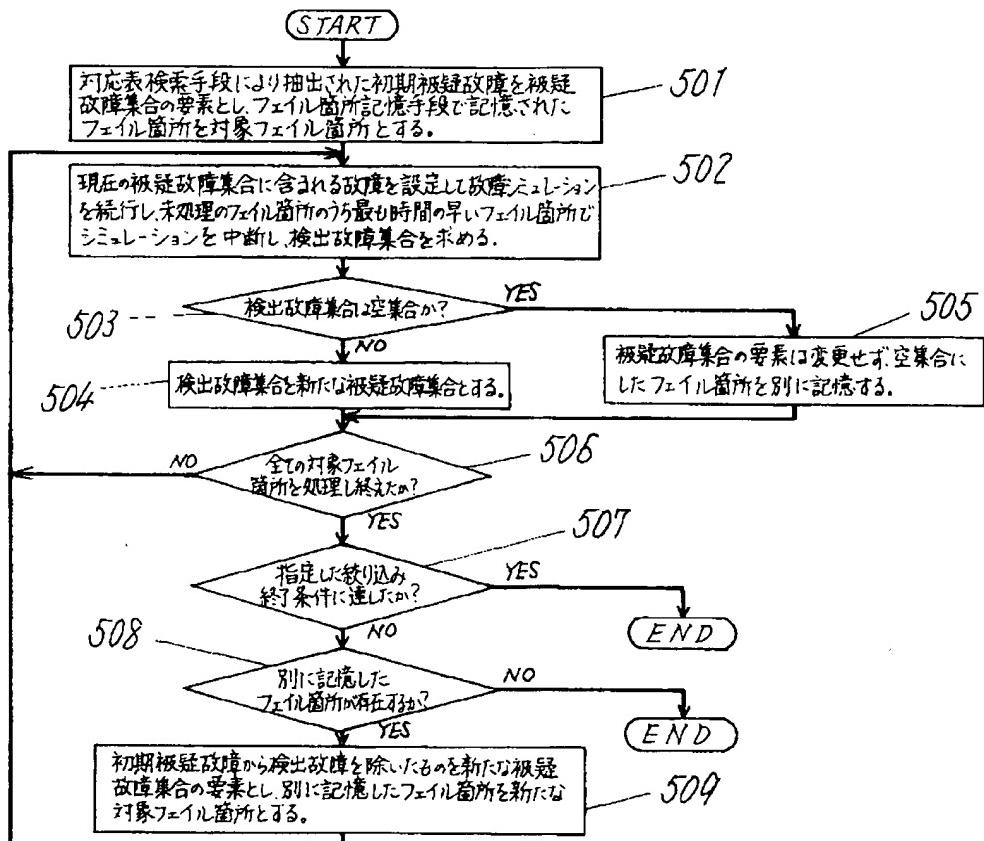
【図3】



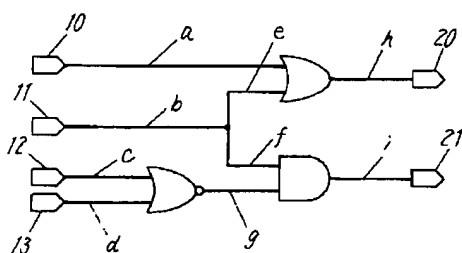
【図4】



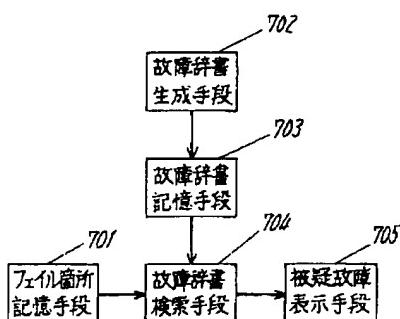
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 本原 章  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内

Fターム(参考) 2G032 AA01 AB01 AC03 AC04 AC08  
 AD05 AD06 AG02 AG03 AG10  
 AK01 AL18  
 5B046 AA08 BA09 JA04  
 5B048 AA20 CC02 DD05 DD09 DD11  
 DD16